

特許請求の範囲 (What is claimed:)

1. デジタルPLL装置は、

第1の同期タイミング信号または第2の同期タイミング信号の一方を選択して出力する第1のセレクタと、

5 第1のセレクタによって選択された同期タイミング信号と内部同期タイミング信号との位相差を比較し、位相差に対応した位相補正データを出力する比較手段と、

位相補正を行うためのホールドオーバデータを出力するホールドオーバー制御手段と、

10 前記比較手段より出力される位相補正データまたは前記ホールドオーバー制御手段より出力されるホールドオーバデータの一方を選択して出力する第2のセレクタと、前記第2のセレクタは、ホールドオーバモードが設定された時、前記ホールドオーバー制御手段の出力を選択する、

15 第2のセレクタから出力されるデータに対応した周波数のクロック信号を生成するディジタルVCOと、
前記ディジタルVCOより生成されたクロック信号から、内部同期タイミング信号を生成する手段と
を具備する。

20 2. クレーム1のデジタルPLL装置は更に、

デジタル同期網における同期タイミング切替時に、前記セレクタを制御し、第1の同期タイミング信号から第2の同期タイミング信号に切替え、

デジタル同期網における同期タイミング切替の間、ホールドオーバーモードを設定する制御部を具備する。

25 3. クレーム2のデジタルPLL装置であって、ホールドオーバー部は、
前記位相比較器からの位相補正データによって加減算が制御されるアップ・ダウンカウンターと、

09875255.060701

前記アップ・ダウンカウンターのカウント値をK（Kは整数）フレーム毎に、ホールドオーバデータとして記憶するメモリと、

前記メモリに対するリード制御、ライト制御、アドレス制御を行うメモリコントロール部と、

5 前記メモリから読み出したホールドオーバデータを補正回数と補正值にデコードして出力するデコーダを備え、

前記メモリコントローラは、

ホールドオーバモードにおいて、前記メモリのリード制御を実行し、

前記第1のセレクタから出力される同期タイミング信号と内部タイミング信号が同期状態の場合に、前記メモリのライト制御を実行する。

4. クレーム1-3のデジタルPLL装置は更に、

第2の同期タイミング信号の位相を第1の同期タイミング信号の位相に合わせる位相調整器を具備し、

15 前記第1のセレクタは、前記第1の同期タイミング信号あるいは前記位相調整器の出力信号のいずれか一方を選択する。

5. クレーム1-3のデジタルPLL装置であって、前記位相比較器は、

内部タイミング信号と同期タイミング信号の位相差をカウントする位相

20 カウンターと、

前記位相カウンターのカウント値を位相基準値と比較する位相検出回路と、

同期タイミング信号の周波数をカウントする周波数カウンターと、

前記周波数カウンターのカウント値を周波数基準値と比較する周波数検

25 出回路と、

前記位相検出回路での比較結果と周波数検出回路での比較結果に基づき位相補正データを出力する位相補正值検出回路と、

同期タイミング信号の位相条件、および前方保護、後方保護の条件から、

09875255・060704

同期状態と非同期状態を判定する状態遷移検出回路と
を具備する。

6. クレーム 5 のデジタルPLL装置であって、

5 前記位相補正値検出回路は、同期状態及び非同期状態に応じて位相補正量
を可変する。

7. デジタルPBXは、

各種内外線インターフェースに対応した複数のI/Oカードと、

10 前記複数のI/Oカードを制御するメインカードと、

前記メインカードと前記複数のI/Oカード間、及び前記複数のI/Oカ
ード間のデータ通信、及び複数チャネルのタイムスロットにより音声データを通
信するためのバックボードとを具備し、

前記メインカードおよび前記複数のI/Oカードの内マスタとなるカ

15 ドは、Master PLL装置を備え、前記Master PLL装置は、

第1の同期タイミング信号または第2の同期タイミング信号の一方を選
択して出力する第1のセレクタと、

第1のセレクタによって選択された同期タイミング信号と内部同期タイ
ミング信号との位相差を比較し、位相差に対応した位相補正データを出力する比
20 比較手段と、

位相補正を行うためのホールドオーバデータを出力するホールドオーバ
一制御手段と、

前記比較手段より出力される位相差データまたは前記ホールドオーバ制
御手段より出力されるホールドオーバデータの一方を選択して出力する第2のセ
25 レクタと、前記第2のセレクタは、ホールドオーバモードが設定された時、前記
ホールドオーバ制御手段の出力を選択する、

第2のセレクタから出力されるデータに対応した周波数のクロック信号
を生成するデジタルVCOと、

09875255.060701

前記ディジタルVCOより生成されたクロック信号から、内部同期タイミング信号を生成する手段とを備える。